

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57-18365

⑤ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
29/06  
29/60

識別記号

庁内整理番号  
6603-5F  
7514-5F  
7638-5F

④ 公開 昭和57年(1982)1月30日

発明の数 2  
審査請求 未請求

(全 4 頁)

⑭ 半導体装置およびその製造方法

門真市大字門真1006番地松下電  
子工業株式会社内

① 特 願 昭55-93524

⑦ 発 明 者 加納剛太

② 出 願 昭55(1980)7月8日

門真市大字門真1006番地松下電  
子工業株式会社内

⑦ 発 明 者 上田大助

⑧ 出 願 人 松下電子工業株式会社

門真市大字門真1006番地松下電  
子工業株式会社内

門真市大字門真1006番地

⑦ 発 明 者 高木弘光

⑬ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1

1、発明の名称

半導体装置およびその製造方法

2、特許請求の範囲

(1) 一導電型半導体層上に連続的に形成された反対導電型層および一導電型半導体領域を前記基板に対して縦方向に蝕刻し、前記一導電型半導体層をドレイン、該反対導電型層上に形成された前記一導電型半導体領域をソース、前記反対導電型層の露出面をチャンネルとする縦型電界効果トランジスタにおいて、前記蝕刻壁面を表わす曲線もしくは直線と、ドレインとチャンネルの境界を表わす曲線との交点で、それぞれの曲線に引いた2つの接線が前記一導電型半導体層内でなす角を125°以下としてなることを特徴とする半導体装置。

(2) 蝕刻部底部が反対導電型層の底部より浅い事を特徴とする特許請求の範囲第1項に記載の半導体装置。

(3) 半導体基板の主面に形成された溝の側面に深さ方向のチャンネルを有する縦型絶縁ゲート電界

効果トランジスタの製造において、半導体基板上に酸化膜および該酸化膜上に窒化硅素膜を形成する工程と、溝部を形成する部分以外の窒化硅素膜を除去し、前記酸化膜を通して不純物を導入してチャンネル領域を形成する工程と、前記酸化膜を選択的に除去して不純物を拡散してソース領域を形成する工程と、窒化硅素膜およびその直下の酸化膜を除去して前記半導体基板をV字形にエッチングする工程とを有することを特徴とする半導体装置の製造方法。

3、発明の詳細な説明

本発明は半導体装置およびその製造方法に関し、V字型もしくはU字型と呼ばれる縦型MOS電界効果トランジスタ(以下MOSFET)に関し、とりわけ高耐圧化を可能ならしめるとともに、オン抵抗の減少を可能ならしめる新しい構造ならびにその製造方法を提供するものである。

V字型MOSFETは、高速性、良直線性など本質的に優れた特長を有しているため、電力用の分野では、これまで使われてきたバイポーラ

ンジスタに取って換わるものとして注目されている。しかしながらV MOS FETは、ドレイン耐圧を大きくする事が必ずしも容易ではなく、この点でバイポーラトランジスタに劣るとされてきた。このため、ドレイン耐圧向上に対する研究が必要とされ、様々な構造や製作法が提案されている。

第1図に一般的な電力用V MOS FETの構造断面図を示す。

1はドレイン電極へつながる(100)面を有する単結晶の基板よりなる $N^+$ シリコン半導体層、2はドレイン耐圧を大きくするために設けられた高抵抗 $N$ 型シリコン半導体層、3はチャンネル部となる型シリコン半導体 $P$ 層で、2, 3も(100)面を有する。4はソース電極につながる $N^+$ 層、5はゲート酸化膜、6はソース電極、7はゲート電極である。

このような従来のV MOS FETに於いては、ドレイン耐圧はV溝部での電界集中又はチップ端部での電界集中によって決められる。

本発明は、この周辺耐部での電界集中およびV

字溝内での電界集中を緩和させる事を目的として為されたものであり、第2図に本発明の一実施例にかかるV MOS FETの構造を示す。

以下、図面を参照して本発明の構造と特長を述べる。第2図において、第1図と同じ部分には同一番号を付す。

第1図の従来構造に比し、第2図の本発明の構造の特長は、第3図(b)に示すように、従来V溝壁面と $P$ 層3の交叉角 $\theta$ が $125^\circ$ であったものを、第3図(a)に示すように $\theta$ を $125^\circ$ 以内となっている所にある。

また本発明のような構造であれば、第1図の従来の例では蝕刻最深部は $P$ 層の底部よりも必ず深くなくてはならなかったが、本発明では蝕刻部底部先端は、第4図のごとく必ずしも $P$ 層底部よりも深くなくてもよい。この点でドレイン-ソース間耐圧は更に改善される。

次に本発明の一実施例のV MOS FETの製造について第5図を用いて述べる。

まず、第5図(a)に示されるように $n^+$ 型Si単結

晶(100)基板1上に高抵抗シリコン $n$ 型層2をエピタキシャル成長した基板を用い、高抵抗 $n$ 層2の表面を酸化し熱酸化膜10を成長するとともに、窒化硅素膜11を通常のCVD法を用い形成する。

次に同図(b)に示されるように、フォトレジスト12をマスクに、ゲート領域となる部分の窒化硅素膜11だけを残すように他の部分の窒化硅素膜をエッチング除去する。

次に、フォトレジスト12及び窒化硅素膜11をマスクに、ボロンのイオン注入及び拡散により $n$ 層2中に $P$ 型層3を形成する。この $P$ 型層3は製作するMOS FETのチャンネル層となる。この様子は同図(c)に示されている。

次に、同図(d)に示したようにゲート領域をマスクしていたフォトレジスト12を除去するとともに、 $P$ 型層3に基板電圧を与えるに必要な領域だけを残して、酸化膜10を選択的に除去する。さらに残った酸化膜10と窒化硅素膜11をマスクとして溝を拡散し、ソース領域となる $n^+$ 層4を形

成する。次に窒化硅素膜11をプラズマエッチングにより除去した後、化学エッチを行って窒化硅素膜11の直下の酸化膜層10を除去してシリコン表面を露出させる。

次いで、異方性エッチング液を用い、ソース形成時の溝拡散のときに生成した酸化膜13をマスクとしてエッチングを行い、V字型の溝を堀る。この時、V溝は $P$ 型層3を完全に貫通する必要がある。この後、V溝部を酸化してゲート酸化膜6を形成するとともに、例えばドーブポリシリコン膜等によって同図(e)のごとくゲート電極7を形成する。

最後に、同図(f)に示されるように、ソース・コンタクト及び $P$ 型拡散層3の基板バイアス用コンタクトを同時に開孔するとともに、金属により電極形成を行ないソース電極8とする。

以上の工程によって第5図(f)に示されるようなV MOS構造の縦型FETが実現される。この工程によれば、窒化硅素膜とその直下の酸化膜をマスクとしてチャンネル領域およびソース領域を拡

散により形成し、ソース領域の拡散の際に生じた酸化膜をマスクとして、V字型溝のエッチングを行なうので自己整合方式によりV字型溝が正確な位置に形成され、チャンネル領域とドレイン領域の境界面が上方に曲ったところで必ずV字型溝と交わるようにすることができる。

このMOSFETは従来のものと比較して、 $\theta$ 値を $125^\circ$ から $60^\circ$ に変える事によってドレイン-ソース耐圧が50%向上し、オン抵抗が50%減少し、高耐圧MOSFETの特性が著るしく向上した。更に第4図で示した構造の場合は、耐圧は70%向上、オン抵抗は40%減少した。

以上述べたように、本発明のVMOSFET構造、即ちゲート部とドレインの境界を表わす曲線の交点で、それぞれの曲線に引いた2つの接線が為す角度を $125^\circ$ 以下とするとともに、望ましくはV溝底部をチャンネル拡散層底部より浅くする構造のMOSFETは、高耐圧化、低オン抵抗化に著しい効果を有し、この工業価値は極めて大きい。

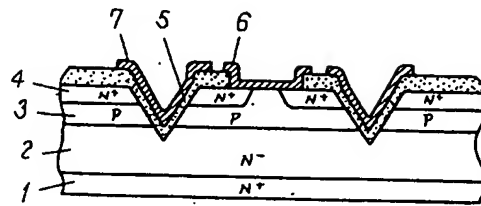
#### 4、図面の簡単な説明

第1図は従来のV溝MOSFETの構造断面図、第2図は本発明の一実施例にかかるV溝MOSFETの構造断面図、第3図(a)は第2図のV溝近傍における構造図、同(b)は第1図におけるV溝近傍の構造図、第4図は本発明の他の実施例にかかる蝕刻最深部がP層最深部に達していないVMOSFETの部分構造図、第5図(a)~(f)は本発明のMOSFETの製作工程断面図である。

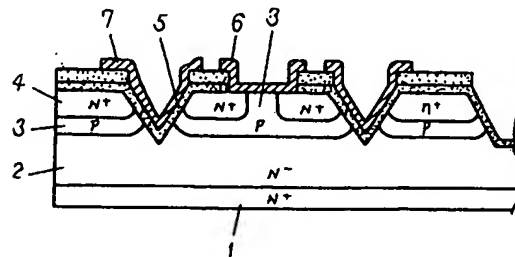
1.....  $n^+$ シリコン基板、2.....  $n^-$ エピタキシャル層、3..... P型層、4.....  $N^+$ 型層、5..... ゲート酸化膜、6..... ソース電極、7..... ゲート電極、10..... 酸化膜、11..... 窒化膜。

代理人の氏名 弁理士 中 尾 敏 男 はか1名

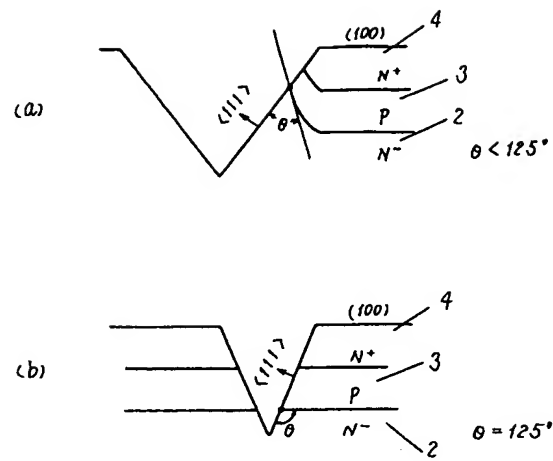
第 1 図



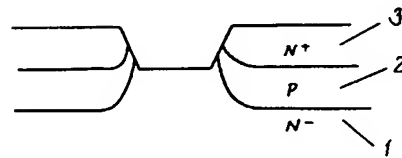
第 2 図



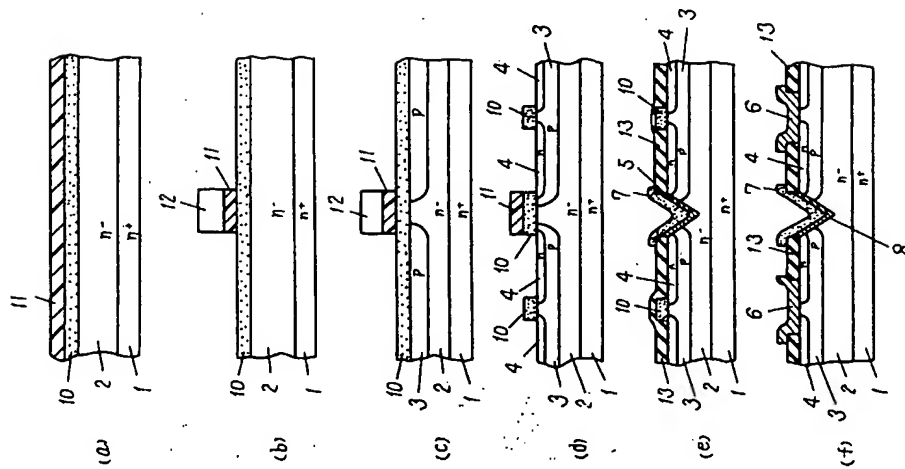
第 3 図



第 4 図



第 5 図



**MENU**

**SEARCH**

**INDEX**

**JAPANESE**

1 / 1

---

## **PATENT ABSTRACTS OF JAPAN**

(11)Publication number : **57-018365**  
(43)Date of publication of  
application : **30.01.1982**

---

(51)Int.Cl. **H01L 29/78**  
**H01L 29/06**  
**H01L 29/60**

---

(21)Application number :	<b>55-093524</b>	(71) Applicant :	<b>MATSUSHITA ELECTRONICS CORP</b>
(22)Date of filing :	<b>08.07.1980</b>	(72)Inventor :	<b>UEDA DAISUKE TAKAGI HIROMITSU KANO KOTA</b>

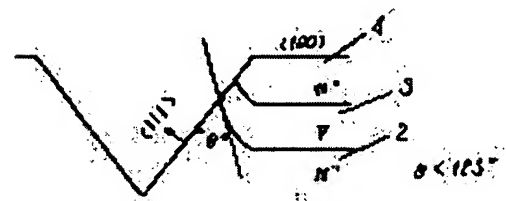
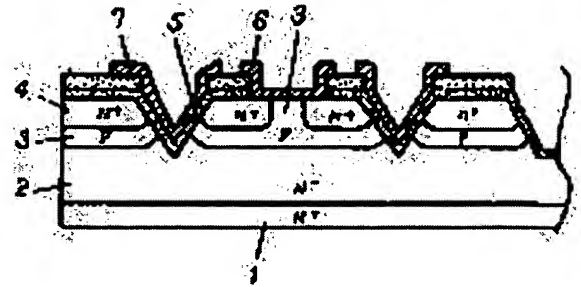
---

**(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

(57)Abstract:

**PURPOSE:** To obtain a VMOSFET in which a withstand voltage is raised and an ON-resistance is lowered by forming the angle formed between two tangential lines drawn along curved lines less than  $125^\circ$  at the intersection of the curved lines expressing the boundary between a gate region and a drain region.

**CONSTITUTION:** A P type layer 3 and an N type semiconductor region 4 formed continuously on N type semiconductor layers 1, 2 are longitudinally etched in a substrate, the layers 1, 2 are used as drain, an N type semiconductor region 4 on the P type layer is used as source, and the exposed surface of the P type layer 3 is used as channel to form a VMOSFET. The crossing angle  $\theta$  with the layer 3 on the etched wall surface is less than  $125^\circ$ . Thus, the source-drain withstand voltage can be improved, the ON resistance can be reduced, and the VMOSFET having high withstand voltage can be obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office